

Patent Abstracts of Japan

PUBLICATION NUMBER : 63121385
PUBLICATION DATE : 25-05-88

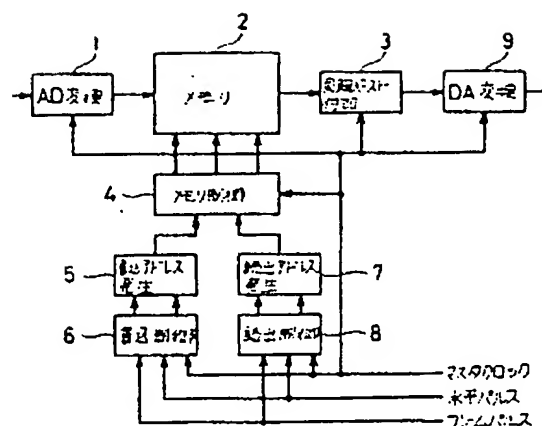
APPLICATION DATE : 11-11-86
APPLICATION NUMBER : 61268028

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : KAITE OSAMU;

INT.CL. : H04N 9/80

TITLE : RECORDING SIGNAL FORMING
CIRCUIT



ABSTRACT : PURPOSE: To derive a band compressed video signal without expanding a signal frequency band after a time division multiplex by time shifting the band compressed video signal without timeaxis-compressing it, at the time of the time division multiplex of a negative polar horizontal synchronizing pulse and a burst signal.

CONSTITUTION: The band compressed video signal is converted by an A/D conversion 1 and stored in a memory 2. A write control circuit 6 gives a master clock to a write address generation circuit 5 only during a video information period by counting a horizontal pulse, making a frame synchronizing pulse be an origin. Thus, a memory control circuit 4 makes the memory 2 be a write state according to a write address at a prescribed timing. Besides, a read control circuit 8, after the frame pulse is inputted, counts the horizontal pulse up to a prescribed quantity, and starts to count the master clock at the timing of a write start, and supplies it to a read address generation circuit 7. The circuit 7 designates the read address for one field, and the control circuit 4 supplies the read address to the memory 2 at the different read timing from the write. Then, the negative polar synchronizing pulse is generated continuously in a recording signal.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-121385

⑫ Int. Cl.⁴
H 04 N 9/80

識別記号 庁内整理番号
Z-7155-5C

⑬ 公開 昭和63年(1988)5月25日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 記録信号形成回路

⑮ 特 願 昭61-268028

⑯ 出 願 昭61(1986)11月11日

⑰ 発 明 者 銅 手 治 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑱ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑲ 代 理 人 弁理士 西野 卓朗 外1名

明 細 書

- 1. 発明の名称 記録信号形成回路
- 2. 特許請求の範囲

(3) 高品位映像信号を多重サブサンプリングにより帯域圧縮して得られる帯域圧縮映像信号をヘリカルスキヤン方式のビデオテープレコーダに記録すべく、帯域圧縮映像信号の水平有効映像期間に先行して負極水平同期パルス及びバースト信号を時分割多重処理した後、映像期間を記録磁歪期間に対応せしめタイムシフト処理する高品位ビデオテープレコーダに於て、

前記時分割多重処理に際し前記帯域圧縮映像信号を時間軸圧縮することなく水平同期期間でタイムシフトすることと特許とする記録信号形成回路。

3. 発明の詳細な説明

(4) 産業上の利用分野

本発明は、帯域圧縮した高品位映像信号を記録するヘリカルスキヤン方式のVTRの記録信号形成回路に関する。

(5) 従来の技術

日本放送協会が開発した高品位映像信号の帯域圧縮方式については、例えば日経マガコウビル社発行の「日経エレクトロニクス」1984年3月12日号の第112～116頁に開示されている。

この帯域圧縮映像信号は、81MHzの周波数帯域を要する。従つて、この帯域圧縮映像信号を2ヘッドヘリカルスキヤン方式のビデオテープレコーダにて記録再生する技術については、例えば「日立評論」VのL、67頁5(1985-5)の第63～66頁に開示されている。

この技術は、まず帯域圧縮映像信号が同期分割の困難な正極性の水平同期信号しか含まないことに鑑み、帯域圧縮映像信号の各水平同期期間を時間軸圧縮することにより、形成されるスーパーフレームに負極性の水平同期パルスとバースト信号とを時分割多重している。更に1フィールドを4本の記録トラックに横分け記録するため1フィールド当りの有効映像期間525ラインをタイムシフトによつて4分割して、ヘッド出力切換タイミングに於ける信号の発生を中断している。上述する如

特開昭63-121385(2)

理を施した後、帯域圧縮映像信号はP-M記録される。

従つて、再生に際して再生P-M信号はP-M復調された後、分離された水平同期パルスとバースト信号によつて時間軸変動を修正されると共に、時間軸伸長とタイムシフト及び垂直ブランキング信号の付加により、元通りの再生圧縮映像信号に交換される。

(イ) 発明が解決しようとする問題点

しかし、上述する従来技術では、負極水平同期パルスとバースト信号とを多重する場合に、1水平同期期間分の帯域圧縮映像信号を時間軸圧縮するため、結果として信号周波数帯域が拡大される。この信号周波数帯域の拡大により、記録信号帯域も拡大しなければならず、記録再生特性にも制約を受ける。更に信号処理のためのクロックを2種類設けなければならず処理回路が複雑になる。

(ロ) 問題点を解決するための手段

そこで、本発明は、上述する点に鑑み、負極水平同期パルスとバースト信号の時分割多重に際し

$$= 540000 \text{ MPT}$$

$$= 500 \text{ クロック} \times 1080 \text{ (ライン)}$$

より明らかであり、有効映像ラインを略致なくタイムシフトするためには上述する関係以外はあり得ない。

1ラインを500クロックとすると、第1図に図示する様に32クロックが映像情報以外のスペースになる。そこで、本実施例ではこのスペースに3クロックを前波のペデスタルとする10クロックの負極水平同期パルスと、4クロックを1周期とするバースト信号を4波を時分割多重している。

また本実施例では第2図に図示する様に1フレーム1125ラインを時分割多重のために1フレーム1080ラインとすることにより、フィールド当りのブランキング期間を15ラインとしている。更に記録に際し、1トラックに270ラインを記録し、270ライン中ブランキング期間を7ライン又は8ライン確保することにより、ヘッド出力切替タイミングに於ける有効映像ラインの記

て帯域圧縮映像信号を時間軸圧縮することなくタイムシフトすることを特徴とする。

(ハ) 作 用

従つて、本発明によれば、時分割多重の信号周波数帯域が拡大されることなく導出される。

(ニ) 実 施 例

以下、本発明を図示せる一実施例に従い説明する。

まず、本実施例の帯域圧縮映像信号は、1フレーム当り1125ラインで構成されており、1ラインが480クロックで構成されている。この480クロックの内訳は、第1図に示す様に12クロックの正極同期信号と、94クロックの色情報と374クロックの輝度情報より成る。そこで、タイムシフトにより有効映像ライン1050ラインを確保した上で、水平同期信号とバースト信号とを時分割多重するためには、1フレームを1080ラインとし1ラインを500クロックとすれば良い。この関係は

$$480 \text{ クロック} \times 1125 \text{ (ライン)} = 540000$$

録を中断している。第2図中ライン(L)のドットはヘッド出力切替タイミングを示す。

本実施例は上述する記録信号を形成するため、第4図に図示する信号形成回路を設けている。まず、帯域圧縮映像信号は、A/D変換回路(1)に於て16.2MHzのマスククロックによつてA/D変換される。このA/D変換データは書込アドレスによつてメモリ(2)に記憶される。記録されるA/D変換データは、垂直ブランキング期間と水平同期信号期間を除く映像情報のみであり、書込制御回路(3)は、帯域圧縮映像信号中のフレーム同期パルスを起算として水平パルスを計数することにより有効映像ラインを識別し水平パルスの値を検出して映像期間を識別しており、映像情報期間中のみマスククロックを書込アドレス発生回路(4)に輸入している。従つてメモリ制御回路(4)は書込アドレスに従つて所定タイミングでメモリ(2)を書込状態としている。(第5図参照)一方読出制御回路(5)は、フレームパルス入力後水平パルスを所定値カントし、上述する書込が開始されるタイミングでマ

特開昭63-121385(3)

マスタクロックの計数を開始し、500クロック毎に480クロックづつ1ライン分のマスタクロックを送出アドレス発生回路(17)に供給している。更にこの送出制御回路(18)は、フレームの前半に於て263ライン分の送出を為した後、7ライン分(500×7クロック分)マスタクロックの導出を阻止し(第3図参照)その後262ライン分の送出を為して8ライン分マスタクロックの導出を阻止している。更に、フレームの後半に於ても送出制御回路(18)は前述と同様にマスタクロックの導出状態をコントロールしている。従つて、アドレス信号発生回路(17)は52クロック分の休止期間を確保し乍ら送出アドレスを順次変更すると共に、263ライン分の送出アドレスを発生した後7ライン分の休止期間を確保し、続いて262ライン分の送出アドレスを発生した後8ライン分の休止期間を確保することにより1フィールド分の送出アドレスを指定している。この送出アドレスを入力するメモリ制御回路(14)は書込タイミングとは位相を異にする送出タイミングに於て、この送出アド

レスを発生した後8ライン分の休止期間を確保することにより1フィールド分の送出アドレスを指定している。この送出アドレスを、内部メモリに供給する回路(14)は書込タイミングとは位相を異にする送出タイミングに於て、この送出アドレスを前記メモリ(2)に供給して前記メモリ(2)よりAD変換データを送出している。

送出されたAD変換データは同期バースト付加回路(19)に於てその水平送出休止期間に於て水平同期パルスとバースト信号に対応するデータを付加されると共に記録走査始端の7又は8ラインのブランキング期間に於て垂直同期パルスとベステルレベルに対応するデータを付加される。従つて、記録信号中の負極同期パルスは連続的に形成されることとなる。

データを付加されて連続化されたAD変換データ(第3図参照)はDA変換回路(16)に於てアナログ化された後1フレーム当たり4本の記録トラックとしてFM変調記録される。

尚、上述する信号形成回路は、再生時には上述

する動作とは逆の動作を実行することにより、元通りの帯域圧縮映像信号を形成すべく機能する。

(b) 発明の効果

よつて、本発明によれば、共通のマスタクロックによつて記録信号を形成することが出来、回路構成も簡単になり、記録信号周波数帯域も増加することがなくその効果は大である。

4. 図面の簡単な説明

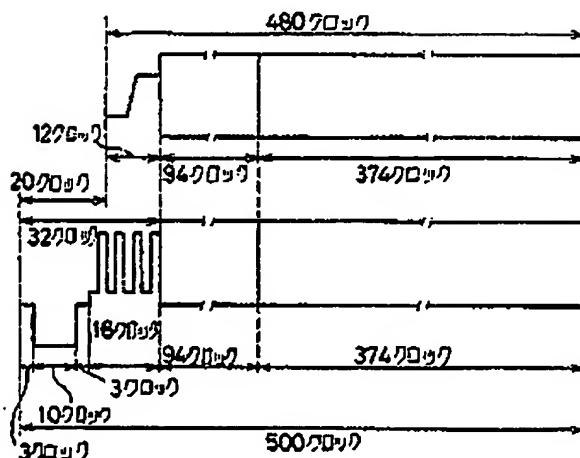
図は何れも本発明の一実施例を示し、第1図は帯域圧縮映像信号と記録信号の1ライン当りの構成対照図、第2図は1フレーム当りの構成対照図、第3図はアドレス発生タイミング対照図、第4図は信号形成回路の回路ブロック図を、それぞれ図す。

(2)…メモリ、(15)…書込アドレス発生回路、(17)…送出アドレス発生回路。

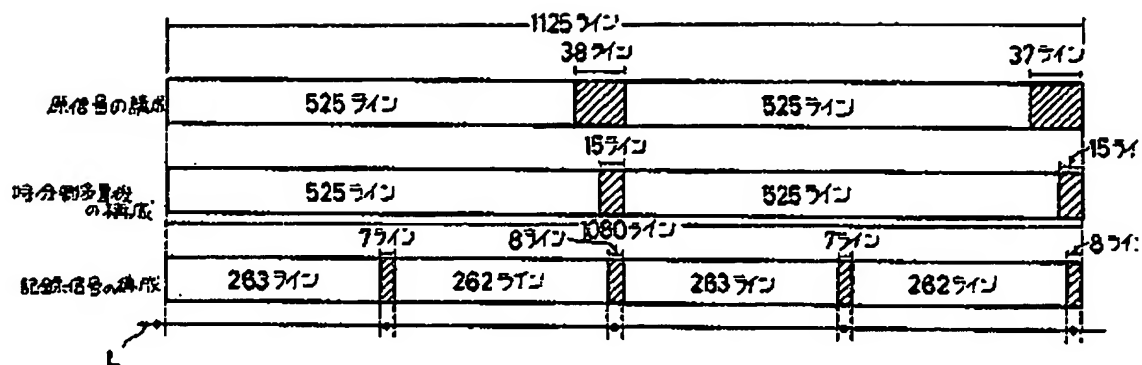
出願人 三洋電機株式会社

代理人 弁護士 西 野 卓 爾(外1名)

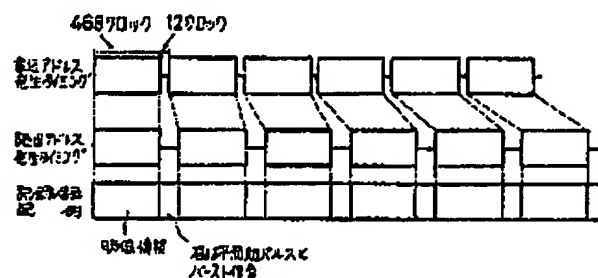
第1図



第2図



第8図



第4図

